

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-290790

(43)Date of publication of application : 19.10.2001

(51)Int.Cl.

G06F 15/177

G06F 3/06

G06F 12/06

G06F 12/08

G06F 13/12

G06F 15/16

(21)Application number : 2000-104279

(71)Applicant : HITACHI LTD

(22)Date of filing : 06.04.2000

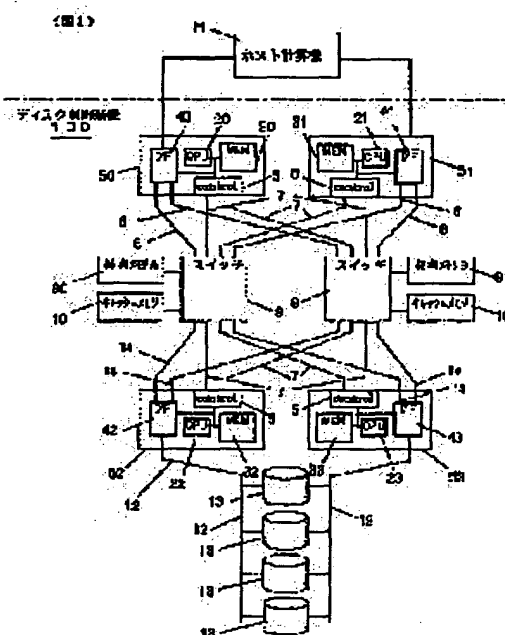
(72)Inventor : HONMA HISAO

(54) DISK CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the concentration of access to common memories from processors.

SOLUTION: One-to-one unidirectional communication channels or two-way communication channels are formed selectively between host side processors 20 and 21, disk side processors 22 and 23 and their main memories 3 (between communication control circuits 5 on real configuration), and switches 8 connecting the processors to the common memories (A) 90 and (B) 91 and cache memories 10 are installed. Thus, lead accesses to the common memory with slow access speed can be reduced and system performance limit can be enhanced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-290790

(P2001-290790A)

(43) 公開日 平成13年10月19日 (2001. 10. 19)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 6 F 15/177	6 8 2	G 0 6 F 15/177	6 8 2 C 5 B 0 0 5
3/06	3 0 1	3/06	3 0 1 G 5 B 0 1 4
12/06	5 3 0	12/06	5 3 0 D 5 B 0 4 5
12/08		12/08	H 5 B 0 6 0
	3 2 0		3 2 0 5 B 0 6 5

審査請求 未請求 請求項の数 5 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願2000-104279(P2000-104279)

(22) 出願日 平成12年4月6日 (2000. 4. 6)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 本間 久雄

神奈川県小田原市国府津2880番地 株式会

社日立製作所ストレージシステム事業部内

(74) 代理人 100095511

弁理士 有近 紳志郎

Fターム(参考) 5B005 KK13 MM12

5B014 GD04 GD05 GD12 GD15 GD16

GD22

5B045 AA00 BB15 DD01 DD10 GG07

5B060 KA02 KA06 KA09

5B065 BA01 CA12 CA15 CC08 CH20

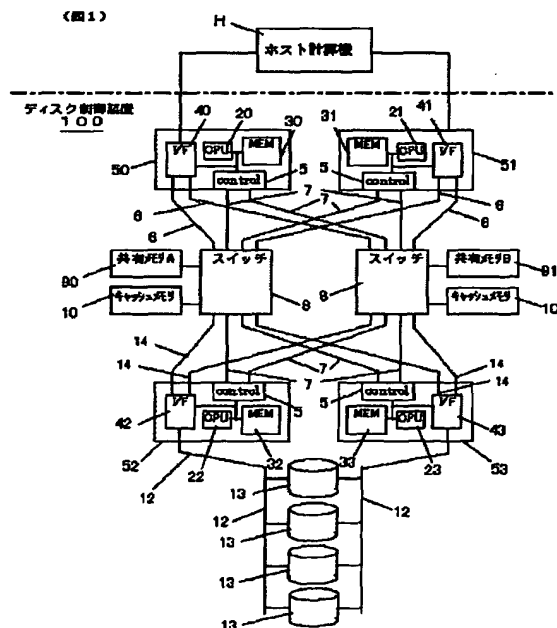
(54) 【発明の名称】 ディスク制御装置

(57) 【要約】

【課題】 プロセッサから共有メモリへのアクセス集中を軽減する。

【解決手段】 ホスト側プロセッサ20、21およびディスク側プロセッサ22、23およびそれらのメインメモリ3間（実構成上は通信制御回路5間）に、1対1の単方向通信路または双方向通信路を選択的に形成すると共に、各プロセッサを共有メモリ(A)90、(B)91およびキャッシュメモリ10に接続するスイッチ8を設ける。

【効果】 アクセス速度の遅い共有メモリに対するリードアクセスを低減でき、システム性能限界を向上できる。



【特許請求の範囲】

【請求項1】 ホスト計算機との間のホストインタフェース制御を行うホスト側プロセッサと、ディスクインタフェース制御を行うディスク側プロセッサとを個別に有するディスク制御装置であって、

前記ホスト側プロセッサが、前記ディスク側プロセッサのローカルメモリに、アクセス可能としたことを特徴とするディスク制御装置。

【請求項2】 ホスト計算機との間のホストインタフェース制御を行うホスト側プロセッサと、ディスクインタフェース制御を行うディスク側プロセッサとを個別に有するディスク制御装置であって、

前記ホスト側プロセッサが前記ディスク側プロセッサのローカルメモリにアクセスする通信路を形成するためのスイッチを具備したことを特徴とするディスク制御装置。

【請求項3】 ホスト計算機との間のホストインタフェース制御を行うホスト側プロセッサと、ディスクインタフェース制御を行うディスク側プロセッサとを個別に有するディスク制御装置であって、

前記ホスト側プロセッサが前記ディスク側プロセッサのローカルメモリにアクセス可能とすると共に、各プロセッサがアクセス可能な共有メモリを備えたことを特徴とするディスク制御装置。

【請求項4】 ホスト計算機との間のホストインタフェース制御を行うホスト側プロセッサと、ディスクインタフェース制御を行うディスク側プロセッサとを個別に有するディスク制御装置であって、

前記各プロセッサが他のプロセッサのローカルメモリにアクセス可能とすると共に、プロセッサ間共有情報を各プロセッサのローカルメモリに分散配置することにより共有メモリをなくしたことを特徴とするディスク制御装置。

【請求項5】 請求項1から請求項4のいずれかに記載のディスク制御装置において、前記ホスト側プロセッサのアドレス空間に、前記ディスク側プロセッサのローカルメモリの一部または全部のメモリ空間を配置したことを特徴とするディスク制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ディスク制御装置に関し、さらに詳しくは、共有メモリアクセス限界による性能限界をなくすことによりシステム性能を向上させたディスク制御装置に関する。

【0002】

【従来の技術】 従来、ホスト計算機との間のホストインタフェース制御を行うホスト側プロセッサとディスクインタフェース制御を行うディスク側プロセッサとを個別に有するディスク制御装置では、両方のプロセッサがアクセスできる共有メモリを介して、プロセッサ間通信を

行っている。

【0003】 また、特開平10-333836号公報には、バスを使わず、スイッチによる1対1通信により、共有メモリを用いたプロセッサ間通信を実現する技術が開示されている。

【0004】

【発明が解決しようとする課題】 上記従来のディスク制御装置では、プロセッサ間通信の際に共有メモリへのアクセスが集中し、共有メモリアクセス限界によりシステム性能が低下してしまう問題点がある。そこで、本発明の目的は、共有メモリアクセス限界による性能限界をなくすことによりシステム性能を向上させたディスク制御装置を提供することにある。

【0005】

【課題を解決するための手段】 第1の観点では、本発明は、ホスト計算機との間のホストインタフェース制御を行うホスト側プロセッサと、ディスクインタフェース制御を行うディスク側プロセッサとを個別に有するディスク制御装置であって、前記ホスト側プロセッサが、前記ディスク側プロセッサのローカルメモリに、アクセス可能としたことを特徴とするディスク制御装置を提供する。上記第1の観点によるディスク制御装置では、例えばホスト側プロセッサがディスクリード要求をディスク側プロセッサのローカルメモリに書き込み、ディスク側プロセッサが自ローカルメモリに書き込まれた前記要求を読み出して実行できるので、共有メモリを経由する必要がない。よって、共有メモリへのアクセス集中を回避でき、共有メモリアクセス限界による性能限界をなくすことができ、システム性能を向上させることが出来る。

【0006】 第2の観点では、本発明は、ホスト計算機との間のホストインタフェース制御を行うホスト側プロセッサと、ディスクインタフェース制御を行うディスク側プロセッサとを個別に有するディスク制御装置であって、前記ホスト側プロセッサが前記ディスク側プロセッサのローカルメモリにアクセスする通信路を形成するためのスイッチを具備したことを特徴とするディスク制御装置を提供する。上記第2の観点によるディスク制御装置では、スイッチにより形成された通信路を介して例えばホスト側プロセッサがディスクリード要求をディスク側プロセッサのローカルメモリに書き込み、ディスク側プロセッサが自ローカルメモリに書き込まれた前記要求を読み出して実行できるので、共有メモリを経由する必要がない。よって、共有メモリへのアクセス集中を回避でき、共有メモリアクセス限界による性能限界をなくすことができ、システム性能を向上させることが出来る。

【0007】 第3の観点では、本発明は、ホスト計算機との間のホストインタフェース制御を行うホスト側プロセッサと、ディスクインタフェース制御を行うディスク側プロセッサとを個別に有するディスク制御装置であって、前記ホスト側プロセッサが前記ディスク側プロセッサ

サのローカルメモリにアクセス可能とすると共に、各プロセッサがアクセス可能な共有メモリを備えたことをことを特徴とするディスク制御装置を提供する。上記第3の観点によるディスク制御装置では、例えばホスト側プロセッサがディスクリード要求をディスク側プロセッサのローカルメモリに書き込み、ディスク側プロセッサが自ローカルメモリに書き込まれた前記要求を読み出して実行できるので、共有メモリを経由する必要がない。よって、共有メモリへのアクセス集中を回避でき、共有メモリアクセス限界による性能限界をなくすことができ、システム性能を向上させることが出来る。また、プロセッサ間共有情報は、共有メモリを介することにより、効率よく、共有できる。

【0008】第4の観点では、本発明は、ホスト計算機との間のホストインタフェース制御を行うホスト側プロセッサと、ディスクインタフェース制御を行うディスク側プロセッサとを個別に有するディスク制御装置であって、前記各プロセッサが他のプロセッサのローカルメモリにアクセス可能とすると共に、プロセッサ間共有情報を各プロセッサのローカルメモリに分散配置することにより共有メモリをなくしたことを特徴とするディスク制御装置を提供する。上記第4の観点によるディスク制御装置では、例えばホスト側プロセッサがディスクリード要求をディスク側プロセッサのローカルメモリに書き込み、ディスク側プロセッサが自ローカルメモリに書き込まれた前記要求を読み出して実行できるので、共有メモリを経由する必要がない。また、プロセッサ間共有情報もローカルメモリに分散配置し、各プロセッサがアクセス可能なので、共有メモリを経由する必要がない。よって、共有メモリをなくすことができ、構成を簡単化できる。そして、共有メモリアクセス限界による性能限界をなくすことができ、システム性能を向上させることが出来る。

【0009】第5の観点では、本発明は、上記第1から第4の観点のディスク制御装置において、前記ホスト側プロセッサのアドレス空間に、前記ディスク側プロセッサのローカルメモリの一部または全部のメモリ空間を配置したことを特徴とするディスク制御装置を提供する。上記第5の観点によるディスク制御装置では、ホスト側プロセッサが同一のアドレス空間上で自ローカルメモリにもディスク側プロセッサのローカルメモリにもアクセスできるので、ホスト側プロセッサの制御プログラム実行時のオーバヘッドを低減し、処理をいっそう高速化することが出来る。

【0010】

【発明の実施の形態】以下、図に示す実施形態により本発明をさらに詳細に説明する。なお、これにより本発明が限定されるものではない。

【0011】-第1の実施形態-

図1は、本発明の第1の実施形態にかかるディスク制御

装置を示すブロック図である。このディスク制御装置100は、ホスト計算機Hとの間のホスト側インタフェースを行う複数のホスト側プロセッサ50、51と、複数の磁気ディスク装置13と、それら磁気ディスク装置13との間のディスク側インタフェースを行う複数のディスク側プロセッサ52、53と、前記各プロセッサ50～53で共有する情報（例えば構成情報）を格納する共有メモリA90および共有メモリB91と、キャッシュメモリ10と、ホストデータ転送バス6と、通信転送バス7と、スイッチ8と、ディスクバス12と、ディスクデータ転送バス14とを具備して構成されている。

【0012】前記ホスト側プロセッサ50は、CPU20と、ローカル（メイン）メモリ30と、通信制御回路5と、ホストデータ転送回路40とを具備している。また、前記ホスト側プロセッサ51は、CPU21と、ローカルメモリ31と、通信制御回路5と、ホストデータ転送回路41とを具備している。

【0013】前記ディスク側プロセッサ52は、CPU22と、ローカルメモリ32と、通信制御回路5と、ディスクデータ転送回路42とを具備している。また、前記ディスク側プロセッサ53は、CPU23と、ローカルメモリ33と、通信制御回路5と、ディスクデータ転送回路43とを具備している。

【0014】前記スイッチ8は、前記プロセッサ50のCPU20と他のプロセッサ51、52、53のローカルメモリ31、32、33の間の通信路の形成、前記プロセッサ51のCPU21と他のプロセッサ50、52、53のローカルメモリ30、32、33の間の通信路の形成、前記プロセッサ52のCPU22と他のプロセッサ50、51、53のローカルメモリ30、31、33の間の通信路の形成および前記プロセッサ53のCPU23と他のプロセッサ50、51、52のローカルメモリ30、31、32の間の通信路の形成が可能である。なお、この通信路は、例えば1対1の単方向通信路または双方向通信路である。また、前記スイッチ8は、各CPU20～23と共有メモリA90、共有メモリB91およびキャッシュメモリ10の間の通信路の形成が可能である。従って、各プロセッサ50～53は、全てのプロセッサ50～53のローカルメモリ30～33と共有メモリA90、B91とキャッシュメモリ10とを自由にリード／ライトすることが出来る。

【0015】また、前記スイッチ8は、前記ホストデータ転送回路40、41とキャッシュメモリ10の間の通信路の形成が可能である。従って、前記ホストデータ転送回路40、41は、ホスト計算機Hと前記キャッシュメモリ10の間のデータ転送を、ホスト計算機Hとの間のインタフェース、ホストデータ転送バス6およびスイッチ8を経由して、実行することが出来る。

【0016】また、前記スイッチ8は、前記ディスクデータ転送回路42、43とキャッシュメモリ10の間の

通信路の形成が可能である。従って、前記ディスクデータ転送回路42、43は、前記キャッシュメモリ10と前記磁気ディスク装置13の間のデータ転送を、スイッチ8、ディスクデータ転送バス14およびディスクバス12を経由して、実行することが出来る。

【0017】図2は、前記ホスト側プロセッサ50のCPU20がアクセスし得るアドレス空間を示す説明図である。CPU20のアドレス空間は、自ローカルメモリ30へのアクセス空間201と、全ての共有メモリA90、B91へのアクセス空間202と、各共有メモリA90、B91へのアクセス空間203、204と、他プロセッサ51～53のローカルメモリ31～33へのアクセス空間201とを含んでいる。他のホスト側プロセッサ51～53のCPU21～23がアクセスし得るアドレス空間も同様である。

【0018】図3は、上記ディスク制御装置100におけるホストI/O処理のフローチャートである。ステップ301では、ホスト側プロセッサ50、51は、共有メモリA90、B91から構成情報を取得する。ステップ302では、取得した構成情報に基づいて、キャッシュメモリ10の状態が正常であるか否か（アクセス可能か否か）を判定し、正常ならステップ303へ進み、正常でなければホストI/O処理を終了する。ステップ303では、キャッシュメモリ10上にアクセスすべきデータが在るか否かを確認し、アクセスすべきデータが無ければステップ304へ進み、アクセスすべきデータが在ればステップ306へ進む。

【0019】ステップ304では、ホスト側プロセッサ50、51は、ディスク側プロセッサ52、53のローカルメモリ32、33にディスクリッド要求を書き込む。すなわち、ホスト側プロセッサ50、51のCPU20、21がディスクリッド要求を発行して通信制御回路5へ渡し、通信制御回路5は、通信転送バス7、スイッチ8および通信転送バス7を経由して、ディスク側プロセッサ52、53のローカルメモリ32、33に書き込む。なお、処理の高速化のため、ホスト側プロセッサ50、51のCPU20、21は、ディスクリッド要求を通信制御回路5へ渡した時点で動作を終える（ローカルメモリ32、33にディスクリッド要求が実際に書き込まれるまで待たない）。

【0020】ステップ305では、ディスク側プロセッサ52、53は、自ローカルメモリ32、33からディスクリッド要求を読み込み、磁気ディスク装置13からデータをリッドし、キャッシュメモリ10に書き込む。

【0021】ステップ306では、ホスト側プロセッサ50、51は、キャッシュメモリ10上のデータに対してアクセスし、ホスト計算機Hに対するI/Oを実行する。そして、ホストI/O処理を終了する。

【0022】上記第1の実施形態のディスク制御装置100によれば、各プロセッサ50～53で共有する必要

がないプロセッサ間通信情報（例えば、ディスクリッド要求）に関しては、相手先プロセッサのローカルメモリ30～33に直接アクセスし、共有メモリA90、B91にアクセスしない。相手先プロセッサも自己のローカルメモリにアクセスし、共有メモリA90、B91にはアクセスしない。よって、上位のホスト計算機HによるI/O処理が高負荷になった場合でも、共有メモリA90、B91へのアクセス集中が発生せず、システム性能を向上できる。さらに、プロセッサ間通信情報の受け取りも、共有メモリA90、B91にアクセスする必要がなく、自己のローカルメモリから読み出せばよいので、時間が短縮され、処理を高速化できる。

【0023】－第2の実施形態－

図4は、本発明の第2の実施形態にかかるディスク制御装置を示すブロック図である。このディスク制御装置200は、第1の実施形態にかかるディスク制御装置100の共有メモリA90、B91を全くなくした構成である。この構成のため、このディスク制御装置200では、プロセッサ間共有情報を、各プロセッサ50～53のローカルメモリ30～33に分散配置する。

【0024】上記第2の実施形態のディスク制御装置200によれば、共有メモリを使わないため、構成を簡単化できると共に、共有メモリアクセス限界によるディスク制御装置の性能限界がなくなり、さらにシステム性能を向上できる。

【0025】－他の実施形態－

上記ディスク制御装置100、200におけるスイッチ8に代えて、共通データバスを用いて各部を接続してもよい。

【0026】

【発明の効果】本発明のディスク制御装置によれば、あるプロセッサが他のプロセッサのローカルメモリを直接アクセスし、アクセス時間のかかる共有メモリへのアクセスを少なくするか又は全くアクセスしないため、共有メモリアクセス限界による性能限界がなくなり、システム性能を向上させることが出来る。

【図面の簡単な説明】

【図1】本発明の第1の実施形態にかかるディスク制御装置を示す構成図である。

【図2】図1のディスク制御装置におけるホスト側プロセッサのアドレス空間を示す説明図である。

【図3】図1のディスク制御装置におけるホストI/O処理を示すフローチャートである。

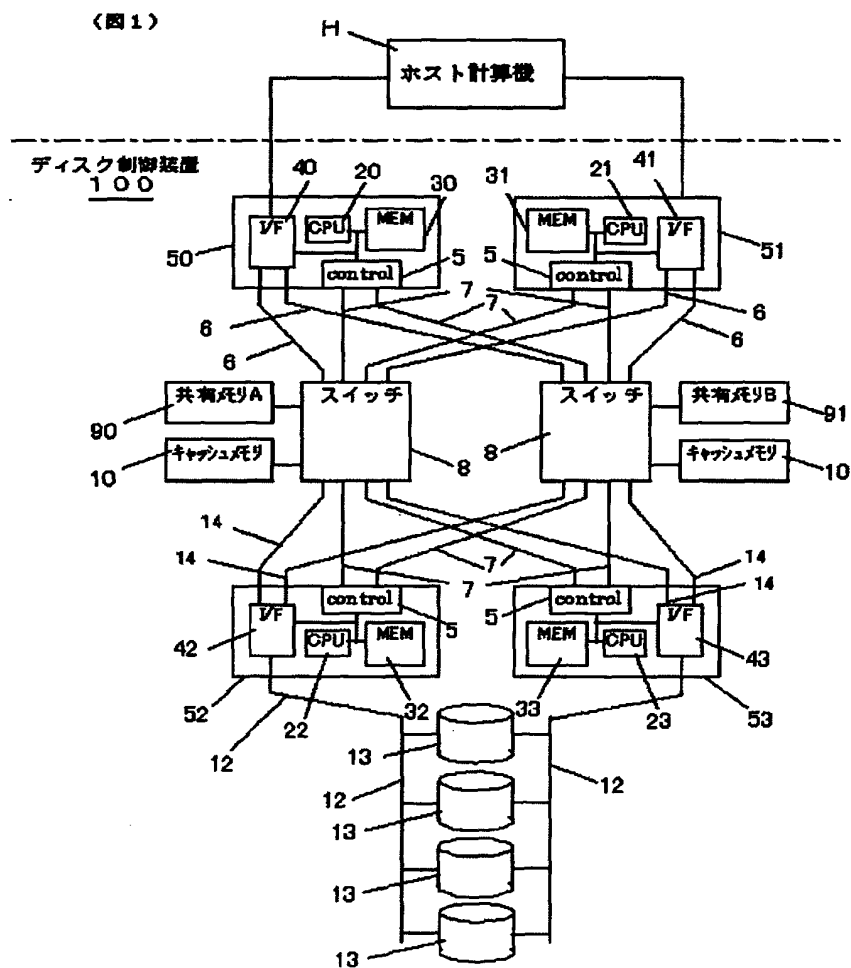
【図4】本発明の第2の実施形態にかかるディスク制御装置を示す構成図である。

【符号の説明】

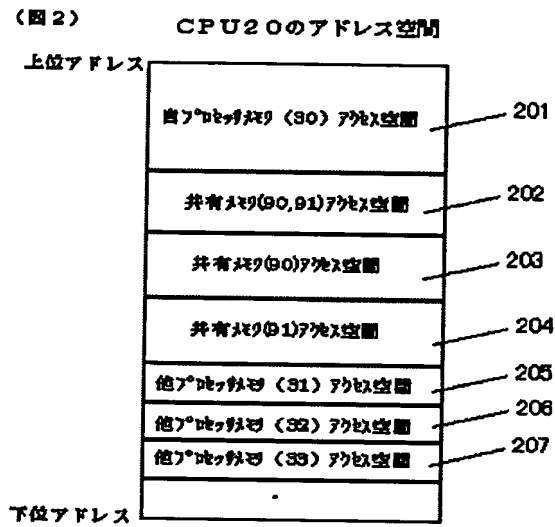
5 通信制御回路
6 ホストデータ転送バス
7 通信転送バス
8 スイッチ

10	キャッシュメモリ	42, 43	ディスクデータ転送回路
12	ディスクバス	50, 51	ホスト側プロセッサ
13	磁気ディスク装置	52, 53	ディスク側プロセッサ
14	ディスクデータ転送バス	90, 91	共有メモリ
20~23	CPU	05 100, 200	ディスク制御装置
30~33	ローカル(メイン)メモリ	H	ホスト計算機
40, 41	ホストデータ転送回路		

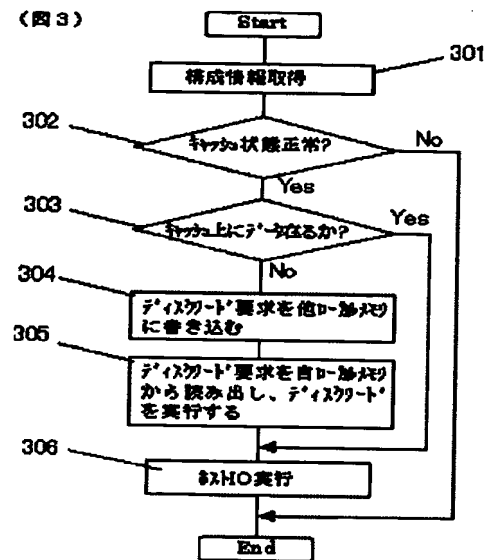
【図1】



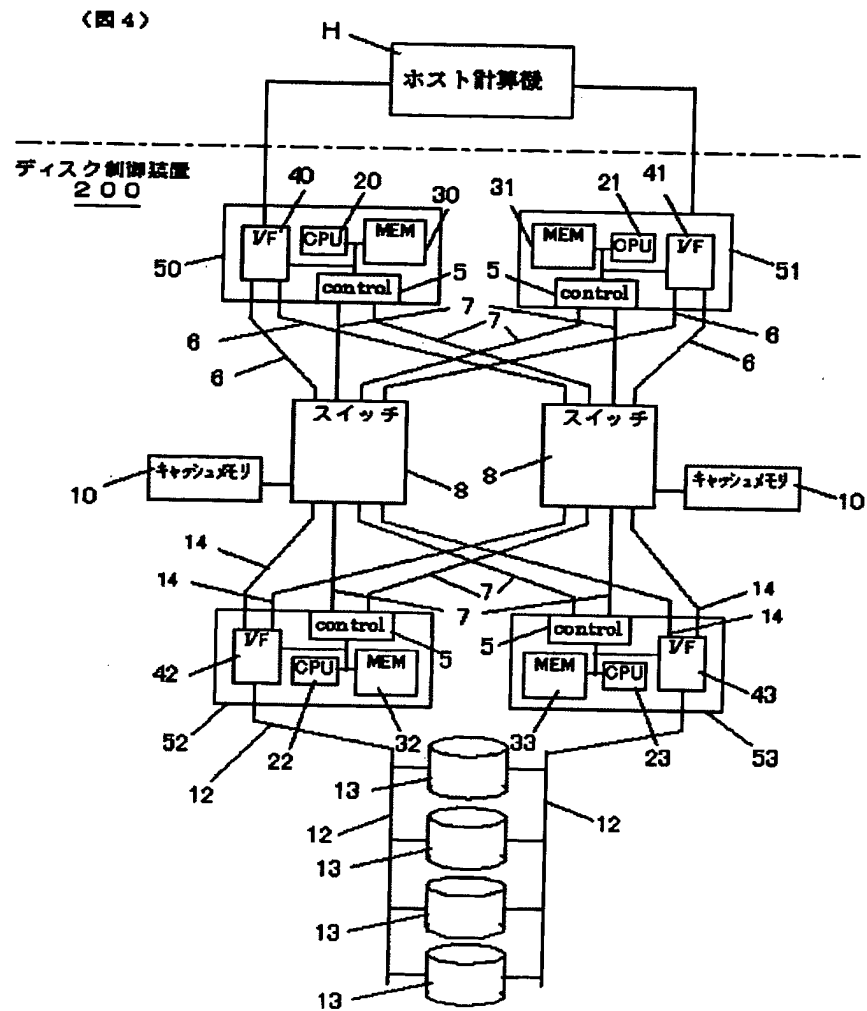
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl.⁷

G 0 6 F 13/12
15/16

識別記号

3 4 0
6 4 0

F I

G 0 6 F 13/12
15/16

テ-マコ-ト* (参考)

3 4 0 A
6 4 0 J